

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

04-042619

(43) Date of publication of application : 13.02.1992

(51)Int.Cl.

H03M 1/74

(21)Application number : 02-150621

(71)Applicant : FUJITSU LTD

FUJITSU VLSI LTD

(22)Date of filing :

08.06.1990

(72)Inventor : KOBAYASHI OSAMU

GOTO KUNIHICO

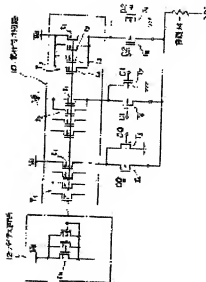
SEKIDO YUJI

(54) D/A CONVERTER

(57)Abstract:

PURPOSE: To improve the differentiating linearity and to suppress the increase in a required area by constituting each current source transistor (TR) cell of plural TRs of the same size, and using only the required number of TRs among the plural TRs to attain high precision for the current source TR cells.

CONSTITUTION: Current source TR cells T1 - T4 of plural sets are included in the D/A converter and a weighting circuit 10 is provided, in which the current outputted from an m-th ($1 \leq m \leq n$) TR cell among the n-set of the current source TR cells T1 - T4 is a multiple of 2^{m-1} with respect to the current outputted from a TR forming the least significant bit. Then each of the current source TR cells T1 - T4 consists of 2^{m-1} sets of TRs t1 of the same size, and 2^{m-1} of TRs are connected in series with the m-th TR cell. Thus, while the increase in the required area is suppressed, the differentiating linearity is improved.



⑫ 公開特許公報(A) 平4-42619

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月13日

H 03 M 1/74

9065-5 J

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 D Aコンバータ

⑯ 特 願 平2-150621

⑰ 出 願 平2(1990)6月8日

⑱ 発 明 者 小 林 修 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 後 藤 邦 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 発 明 者 関 戸 裕 治 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエルエスアイ株式会社内

㉑ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

㉒ 出 願 人 富士通ヴィエルエスアイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2

㉓ 代 理 人 弁 理 士 石 川 泰 男

明 細 書

1. 発明の名称

D Aコンバータ

2. 特許請求の範囲

1. nビットのデジタル信号に対応する電流値によってアナログ信号を出力するD Aコンバータであって、

n個の電流源トランジスタセル($T_1 \sim T_n$)を含み、該n個電流源トランジスタセル($T_1 \sim T_n$)のうち第m番目($1 \leq m \leq n$)のトランジスタセル(T_m)から出力される電流値が、最下位ビットを形成するトランジスタから出力される電流値に対して 2^{m-1} 倍で示される重み付け回路を有し、

前記電流源トランジスタセル($T_1 \sim T_n$)のそれぞれは 2^{n-1} 個の同一サイズのトランジスタ($t_1 \sim t_{2^{n-1}}$)で形成され、第m番目のトランジスタセル(T_m)には、 2^{m-1} 個のトラン

スタ($t_1 \sim t_{2^{n-1}}$)が直列に接続されて構成されてなることを特徴とするD Aコンバータ。

2. nビットのデジタル信号に対応する電流値によってアナログ信号を出力するD Aコンバータにおいて、

前記nビットのうちの上位iビットをセグメント回路で構成し、下位 $n-i$ ビットを重み付け回路で構成し、前記セグメント回路および重み付け回路の各電流源トランジスタセルのサイズを同一としたことを特徴とするD Aコンバータ。

3. 発明の詳細な説明

(概要)

本発明は、D Aコンバータ、特に、D Aコンバータに使用される重み付け回路に関し、

必要な面積の増加を抑制しつつ、微分直線性を向上させることができるD Aコンバータを提供することを目的とし、

nビットのデジタル信号に対応する電流値によ

路16に必要な面積が大幅に増加することがない。

また、第3図の第2実施例を一般的な形式で述べると、次のようになる。

n ビットのD/Aコンバータにおいて、 n ビットを上位 k ビット、下位 $n-k$ ビットに分割する。

下位 $n-k$ ビットは、重み付け方式により処理され、上位 k ビットは、セグメント方式により処理される。すなわち、下位 $n-k$ ビットの重み付け方式においては、 $n-k$ 個の電流源が使用され、 i 番目の電流源は、 2^{i-1} ($1 \leq i \leq n-k$)の電流値を有する。ここで、下位 $n-k$ ビットの i 番目のビットが「H」レベルであるか「L」レベルであるかにより、 i 番目の電流源から電流値 2^{i-1} の電流が出力される。そして、全ての電流源からの電流値の和が、重み付け方式による出力とされる。

上位 k ビットのセグメント方式においては、 2^{k-k} の電流値を有する同一の電流源を 2^k-1 個使用する。上位 k ビットは、デコードされ、該上位 k ビットが示す個数だけ電流源から電流が出

力される。そして、出力された電流値の和が、セグメント方式による出力とされる。

以上のようにして、重み付け方式による下位 $n-k$ ビットの出力とセグメント方式による上位 k ビットの出力との和が、D/Aコンバータの出力とされる。

なお、重み付け方式における電流源及びセグメント方式による電流源は、 2^{k-k} 個の同一サイズのトランジスタから構成されていてもよい。この場合に、重み付け方式における i 番目の電流源は、 2^{i-1} 個の同一サイズのトランジスタのうち 2^{i-1} ($1 \leq i \leq n-k$)個のトランジスタを使用している。また、セグメント方式における各電流源は、 2^{k-k} 個の同一サイズのトランジスタを全て使用している。

(発明の効果)

以上説明したように、請求項1記載の発明によれば、各電流源トランジスタセルを同一サイズの複数のトランジスタから構成し、複数のトランジ

スタのうち必要な個数のトランジスタを使用しているため、電流源トランジスタセルを高精度化することができる。従って、電流源トランジスタセル間の誤差が小さくなり、微分直線性が向上する。

また、請求項2記載の発明によれば、重み付け回路とセグメント回路を併用しているためセグメント回路のみを使用する場合と比較して、必要な面積の増加が抑制される。

4. 図面の簡単な説明

第1図は、本発明の原理による重み付け回路の回路図、

第2図は、本発明の第1実施例による重み付け回路を使用したD/Aコンバータの回路図、

第3図は、本発明の第2実施例による重み付け回路を使用したD/Aコンバータの回路図、

第4図は、従来の重み付け回路の回路図、

第5図は、従来の重み付け回路を使用したD/Aコンバータの回路図、

第6図は、セグメント回路を使用したD/Aコン

バータの回路図である。

10…重み付け回路

12…バイアス回路

14…負荷

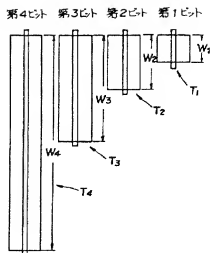
16…セグメント回路

$T_1 \sim T_k$ …電流源トランジスタセル

$t_1 \sim t_k$ …同一サイズのトランジスタ

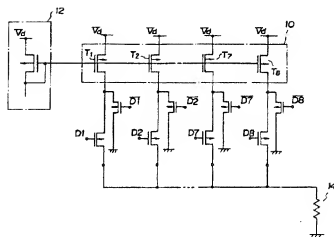
$I_1 \sim I_{16}$ …電流源トランジスタセル

出願人代理人 石川 泰 男



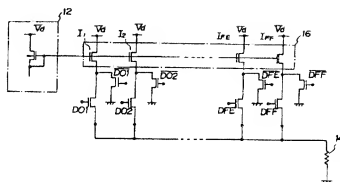
従来の量み付け回路の回路図

第4図



従来の量み付け回路を使用したDACコンバータの回路図

第5図



ヒジメント回路を使用したDACコンバータの回路図

第6図